

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-297414

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

H01L 29/861

H01L 21/322

(21)Application number : 06-086136

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.04.1994

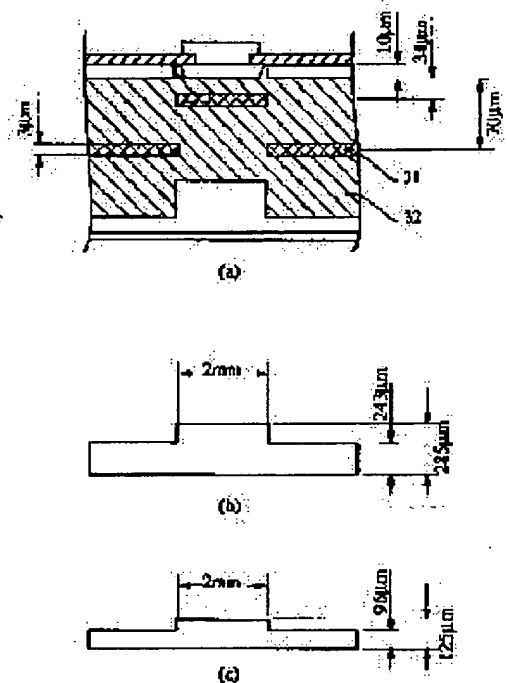
(72)Inventor :  
OSAWA AKIHIKO  
TSUCHIYA MASANOBU  
BABA YOSHIKI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

PURPOSE: To secure a current passage which does not pass through crystal defects in an element by dividing the crystal defects so that a difference can be obtained in vertical distance.

CONSTITUTION: Crystal defects 31 are formed at an He<sup>2+</sup> dosing amount of  $1 \times 10^{12}$  atoms/cm<sup>2</sup> and acceleration energy of 24 MeV by using an aluminum plate having a thickness of 285 μm at its thicker part and 243 μm at its thinner part. As a result, crystal defects 31 having widths of 3 μm are formed in an element at distances 34 μm and 70 μm, respectively, from the interface of a P-N junction and a layer 32 having a shorter life time is formed from the interface of the P-N junction. Since the layer 32 can exercise its effect at this position, the leak currents can be reduced and a current passage which does not pass through the crystal defects can be secured in the element.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] this invention relates to the high-speed switching semiconductor device which has a semiconductor device, its manufacture technique, especially a low life-time layer, and its manufacture technique.

[0002]

[Description of the Prior Art] In the semiconductor devices for switching, such as diode, disappearance of the superfluous minority carrier accumulated when a voltage was changed from the forward direction to an opposite direction and a voltage was the forward direction takes fixed time. Since this superfluous minority carrier has been the failure of improvement in the speed of the element for switching and a minority carrier is extinguished for a short time, it is attaining shortening of the life time of a superfluous minority carrier by carrying out thermal diffusion of gold or the platinum, shortening a life time, or irradiating an electron ray and a neutron beam, forming a crystal defect into a device, and making it act as a recombination center etc.

[0003] This technique is reported to the publication-number 252078 [ four to ] official report by this invention persons. Since the lattice defect of a high-level density arises near [ this ] a halt position in case a proton stops in a semiconductor substrate, this technique uses this as a low life-time layer, makes the crystal defect for forming a low life-time layer in the specific fraction in an element localize, and is formed.

[0004] Moreover, while the localization of the crystal defect with narrower width of face is made possible, the technique in which both an on resistance and a switching speed improve compared with the conventional proton irradiation, an electron beam irradiation, etc. is reported to the publication-number 102161 [ five to ] official report by this invention persons after charged-particle irradiation according to the elevated temperature and the process which does not need prolonged heat treatment. Instead of this technique irradiating the proton used conventionally, it irradiates helium ion  $3\text{He}^{2+}$ , and can form the crystal defect of a high-level density compared with irradiation of a proton.

[0005] However, also in formation of the low life-time layer of \*\*\*\*\*, the crystal defect is formed in the parallel orientation unitary to the substrate side of an element. Therefore, the current way of the current which flows from one electrode in an element to the electrode of another side will be interrupted, and a crystal defect and a low life-time layer will exist. For this reason, the current which flows between the substrates of an element will always pass the fraction in which the crystal defect is formed. When a crystal defect is considered as a current way, since the resistance is high, the on resistance of an element will go up. Since the current which flows between substrates will always flow the inside of a crystal defect when being formed in the interior of an element unitary, though the formation position of the crystal defect for forming a metaphor and a low life-time layer is changed, an on resistance will go up.

[0006] Moreover, when a crystal defect is formed near the PN junction and a reverse bias is impressed to an element, the depletion layer which spreads from a PN junction spreads also in the field of a crystal defect, and the big electric field serve as such a thing also in a crystal defect. If the electric field are built over this crystal defect, this crystal defect will take the generation-of-carriers lead, and it will become the cause which a leakage current increases at the time of a reverse bias. If a crystal defect is kept away from a PN junction and formed in order to prevent this, within the distance which a minority carrier diffuses, this cannot be captured, but a switching speed will fall, and the effect which forms a low life-time layer will be lost. Thus, in order to have determined the formation position of a crystal defect, there is no clear index and the experiential numeric value determined.

[0007]

[Problem(s) to be Solved by the Invention] As mentioned above, since deer decision of the trouble where an on resistance goes up since the crystal defect for forming a low life-time layer in formation of the conventional low life-time layer interrupts the current way of an element and is formed, and the formation position of a low life-time layer had not been carried out by the experiential numeric value [ be / no clear index ], it was difficult to form a crystal defect in the optimum position.

[0008] In order to solve the above-mentioned trouble in this invention, the crystal defect for forming a low life-time layer forms so that the current way of the current which flows between the substrates of an element may not be interrupted, and aims at decreasing an on resistance rather than what was manufactured by the conventional manufacture technique. Moreover, formation of a crystal defect does not depend the formation position on an experiential numeric value, but considers it from the theoretic field, and it aims at forming the crystal defect for a certain index being shown and this forming a low life-time layer.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, a crystal defect is divided into this invention at some, and a current way does not pass through the inside of a crystal defect by giving a difference and forming each formation position to lengthwise [ of an element ], and it is secured, and prevents the on resistance of an element going up. Moreover, in order that the formation position of this crystal defect may suppress the recombination current generated by pouring in a minority carrier into a low life-time layer, it takes in the idea of the diffusion length of a minority carrier which is distance until a minority carrier spreads and disappears, forms a crystal defect in the position within the diffusion length of a minority carrier from the interface of a PN junction, captures a minority carrier in the life time, and reduces enhancement and a leakage current for a switching speed.

[0010]

[Function] According to this invention, a crystal defect is divided, and since the current way which does not pass a crystal defect in an element by giving and forming a difference in a lengthwise distance is secured, the on resistance of an element is reduced. Moreover, the enhancement in a switching speed and a reduction of a leakage current are realizable by a minority carrier's diffusion-length-detaching a crystal defect, and forming it from a PN-junction interface.

[0011]

[Example] The example of this invention is explained with reference to a drawing. As first shown in drawing 1 (a), the N type silicon semiconductor substrate 11 is prepared. According to 400 micrometers in 50ohms m of specific resistances, and thickness, and the measurement result of the photoluminescence method in this semiconductor substrate 11, the diffusion length of a minority carrier is about 70 micrometers. On this semiconductor substrate 11 front face, the silicon oxide 12 of 1000Å of thickness is formed by CVD. Next, a photoresist is formed on this silicon oxide 12, and the resist mask 13 for pouring in an impurity is formed by carrying out patterning of this.

[0012] Then, as shown in drawing 1 (b), in order to form a P type impurity range in the semiconductor substrate 11, B is poured in by acceleration energy 70keV, and dose  $1 \times 10^{15}$  atoms and  $\text{cm}^{-2}$ . Next, annealing of 1150 degrees C and 4 hours is performed, and the poured-in impurity is activated. Consequently, the P type impurity range 21 formed from B is formed from the front face of the semiconductor substrate 11 to a field with a depth of 10 micrometers. Next, a photoresist is exfoliated, aluminum layer of 1 micrometer of thickness is formed on oxide-film 12 front face, and a surface electrode 22 is formed by etching this. Next, aluminum layer of 9000Å of thickness is formed also at the rear face of the semiconductor substrate 11, and the rear-face electrode 23 is formed in it.

[0013] Then, a crystal defect is formed in order to form a low life-time layer in an element. A crystal defect forms the current way which a crystal defect does not interrupt by dividing into three what was conventionally formed unitary in parallel to the electrode, and giving a difference from an electrode to distance so that the current way in an element may not be interrupted by the crystal defect. Moreover, the formation position of this crystal defect forms a crystal defect within the diffusion length of a minority carrier whose minority carrier diffused from a PN-junction interface is distance until it disappears, in order to suppress the recombination current generated by pouring in a minority carrier into a low life-time layer.

[0014] Therefore, as shown in drawing 1 (c), formation of the crystal defect 31 for forming the low life-time layer 32 performs irradiation of 3 helium<sup>2+</sup> through the metal plate 33 which has a difference in a thickness, irradiation energy is changed with this metal plate, and the formation position of a crystal defect is changed. From the center of a crystal defect 31, the low life-time layer 32 has the width of face of 70 micrometers in the vertical orientation, respectively, and is formed in it. Therefore, in order to form the low life-time layer 32 without an opening in an element, a crystal defect 31 is the orientation of up-and-down, and if a maximum of 140 micrometers is detached and it forms, it can acquire a fixed effect. However, it is necessary to form a crystal defect 31 in the domain of less than 70 micrometers which is the diffusion length of a minority carrier from a PN-junction interface for the above-mentioned ground. Moreover, a crystal defect 31 is divided, and it forms so that it may have a difference in distance from semiconductor substrate 11 front face by each crystal defect 31 so that a crystal defect may not interrupt a current way.

[0015] Therefore, in this example, \*\* size, it is separated, the center of formation of a crystal defect 31 is the closest than a PN-junction interface to 70 micrometers and a PN junction, and the center forms it as 34 micrometers from a PN-junction interface. The effect of a low life-time layer is a most expectable position, and the above position is considered as the optimum position for realizing reduction of a leakage current, and enhancement in a switching speed.

[0016] The cross section explaining the formation position of this crystal defect 31 and the low life-time layer 32 is shown in drawing 2 (a). In an element, a main position is formed in the position which 34 micrometers of 70 micrometers of the distance from a PN-junction interface left [ the crystal defect 31 ] by the width of face of 3 micrometers, respectively, and the low life-time layer 32 is formed from a PN-junction interface so that it may illustrate.

[0017] Moreover, in order to form a crystal defect 31 in a desired position, it is necessary to determine the thickness of a metal plate 33, a dimension and the dose of 3 helium<sup>2+</sup>, and acceleration energy. In the case of this example, it carries out by dose  $1 \times 10^{12}$  atoms and  $\text{cm}^{-2}$ , and acceleration energy 24MeV. Moreover, as shown in drawing 2 (b), a thickness performs the thickness of a metal plate 33 in the fraction with thin 285 micrometers and thickness by the thick fraction using 243-micrometer aluminum plate.

[0018] In order to form a crystal defect, it can carry out also by the proton. In this case, it carries out by dose  $7 \times 10^{12}$  atoms and  $\text{cm}^{-2}$ , and acceleration energy 4.5MeV. Moreover, as shown in drawing 2 (c), a thickness performs the thickness of a metal plate in the fraction with thin 125 micrometers and thickness by the thick fraction using 96-micrometer aluminum plate. Although the width of face of a crystal defect made by irradiation of a proton is 15 micrometers and it is difficult to make it localize and to form

compared with the width of face in 3 helium2+, a certain amount of effect is expectable.

[0019] although the example of 3 helium2+ was shown in the above-mentioned example -- in addition to this -- H+, 2D+, 4helium2+, e-, Pt+, and Au+ It can carry out also by each ion. according to these ion -- the width of face of a crystal defect -- to some extent -- until -- since you can make it shortened and the concentration can be made into a high level, therefore, formation of an efficient low life-time layer is attained

[0020] Moreover, others, Si, and SiO2 Also with each matter, the acceleration energy of irradiation grain can be changed and can be carried out. [ metal plate / by aluminum plate ] It is also possible to form a crystal defect by irradiating ion partially furthermore not using these matter, and changing the irradiation position, acceleration energy, and a dose.

[0021] Then, the property view of a switching speed and ON state voltage showing the effect of the example of this invention is shown in drawing 3 . ON state voltage shall be an on resistance and a proportionality here. The property by the conventional structure in drawing is a property which is the diffusion length of a minority carrier about the center position from a PN-junction interface in a crystal defect when 70 micrometers is detached, it forms and this crystal defect is formed unitary in parallel to the electrode of an element. The property in this example is turning around a switching speed and ON state voltage (on resistance) the top from the conventional thing, and it turns out that the property is improved sharply so that it may illustrate.

[0022] The purpose of this invention is forming a crystal defect in the domain within reservation of the current way which is not interrupted by the crystal defect formed in an element, and the diffusion length of a minority carrier, and forming a low life-time layer, the formation position of a crystal defect divides still finely the crystal defect other than the above-mentioned example, the formation position is formed by turns, or this example has the gestalt of detaching a central crystal defect most and forming it from a PN-junction interface, conversely. The cross section for explaining these is shown in (c) from drawing 4 (a). 41 in drawing is a crystal defect and 42 is a low life-time layer. An effect of the same grade can be acquired also according to the gestalt of these \*\*\*\*\*s.

[0023]

[Effect of the Invention] Since the current way which does not pass a crystal defect in an element is secured according to this invention, the on resistance of an element is reduced. Moreover, by a minority carrier's diffusion-length-detaching a crystal defect, and forming it from a PN-junction interface, the enhancement in a switching speed and a reduction of a leakage current can be realized, and enhancement in the property of the further element can be realized.

---

[Translation done.]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] It is the semiconductor device characterized by dividing the aforementioned crystal defect into the plurality in the first electrode connected to the field of the first conductivity type formed in the semiconductor substrate, and the second conductivity type, and the field of the first aforementioned conductivity type, the second electrode connected to the field of the second aforementioned conductivity type, and the semiconductor device which has a crystal defect in the aforementioned semiconductor substrate.

[Claim 2] For the crystal defect divided into the aforementioned plurality in the semiconductor device according to claim 1, the minority carrier of the interface of the field of the first aforementioned conductivity type and the field of the second aforementioned conductivity type to the aforementioned semiconductor substrate is the semiconductor device characterized by having a center in within the limits to the distant position diffusion length.

[Claim 3] The crystal defect divided into the aforementioned plurality in the semiconductor device according to claim 1 is a semiconductor device characterized by having a level difference substantially that there is no clearance in parallel orientation with the interface of the field of the first aforementioned conductivity type in the aforementioned semiconductor substrate, and the field of the second aforementioned conductivity type, and being formed.

[Claim 4] The semiconductor device characterized by having the aforementioned first and second inter-electrode principal-current paths in a semiconductor device according to claim 1 to the field between the crystal defects by which the split was carried out aforementioned ].

[Claim 5] The distance between the centers of the crystal defect divided into the aforementioned plurality in the semiconductor device according to claim 1 is a semiconductor device characterized by being the distance within 2 double [ of the diffusion length of the minority carrier of the aforementioned semiconductor substrate ].

[Claim 6] Setting to the claim 1 or the semiconductor device of a publication, the aforementioned crystal defect is H<sup>+</sup>, 2 D<sup>+</sup>, 3 helium2<sup>+</sup>, 4 helium2<sup>+</sup>, e<sup>-</sup>, Pt<sup>+</sup>, and Au<sup>+</sup>. Semiconductor device characterized by being formed by irradiating the ion of \*\*\*\*\* inside.

[Claim 7] The manufacture technique of the semiconductor device characterized by having the process which forms two or more crystal defects in the process which forms the field of the second conductivity type in the predetermined field of the semiconductor substrate of the first conductivity type, and the semiconductor substrate of the first aforementioned conductivity type so that a center may exist in within the limits to the position which the minority carrier of the interface of the field of the second aforementioned conductivity type to the semiconductor substrate of the first aforementioned conductivity type and the aforementioned semiconductor substrate left diffusion length.

[Claim 8] It is the manufacture technique of the semiconductor device characterized by forming the distance between the centers of two or more aforementioned crystal defects in the manufacture technique of a semiconductor device according to claim 7 in the distance within 2 double [ of the diffusion length of the minority carrier of the aforementioned semiconductor substrate ].

[Claim 9] It is the semiconductor device characterized by for two or more aforementioned crystal defects having a level difference in the manufacture technique of a semiconductor device according to claim 7 that there is no clearance in orientation parallel to the interface of the semiconductor substrate of the first aforementioned conductivity type in the aforementioned semiconductor substrate, and the field of the second aforementioned conductivity type, and being formed.

[Claim 10] The process which forms two or more aforementioned crystal defects in the manufacture technique of a semiconductor device according to claim 7 is the manufacture technique of the semiconductor device characterized by carrying out by changing the irradiation energy of predetermined ion.

[Claim 11] A means to change the aforementioned irradiation energy in the manufacture technique of a semiconductor device according to claim 10 is the manufacture technique of the semiconductor device characterized by carrying out by making the predetermined matter intervene between the source of irradiation of the aforementioned predetermined ion, and the aforementioned semiconductor substrate.

[Claim 12] A means to change the aforementioned irradiation energy in the manufacture technique of a semiconductor device according to claim 10 is the manufacture technique of the semiconductor device characterized by carrying out by changing the thickness of the aforementioned predetermined matter.

[Claim 13] The predetermined matter with which the aforementioned thickness is different in the manufacture technique of a semiconductor device according to claim 12 is aluminum, Si, and SiO<sub>2</sub>. The manufacture technique of the semiconductor device

characterized by carrying out inside using the matter of \*\*\*\*\*.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-297414

(43) 公開日 平成7年(1995)11月10日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 29/861

21/322

識別記号

庁内整理番号

K

F I

技術表示箇所

H 0 1 L 29/ 91

J

審査請求 未請求 請求項の数13 O L (全 5 頁)

(21) 出願番号

特願平6-86136

(22) 出願日

平成6年(1994)4月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大澤 明彦

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(72) 発明者 土谷 政信

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(72) 発明者 馬場 嘉朗

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

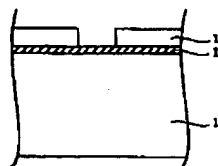
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 半導体装置とその製造方法

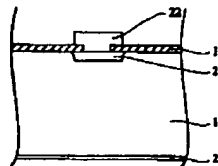
(57) 【要約】

【構成】本発明においては、結晶欠陥31を幾つかに分割し、それぞれの形成位置を素子の縦方向に対し差を持たせて形成する。またこの結晶欠陥31の形成位置は、PN接合の界面から少数キャリアの拡散長以内の位置に形成し、少数キャリアをそのライフタイム内に捕獲する。

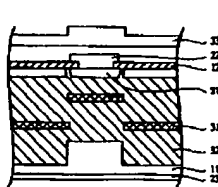
【効果】本発明によれば、素子内に結晶欠陥を通過することのない電流路が確保されるために、素子のオン抵抗が低減される。また、結晶欠陥はPN接合界面より少数キャリアの拡散長離して形成されることにより、スイッチング速度が向上しリーク電流が低減できる。



(a)



(b)



(c)



## 【特許請求の範囲】

【請求項1】 半導体基板内に形成された第一導電型及び第二導電型の領域と、前記第一導電型の領域に接続された第一電極と、前記第二導電型の領域に接続された第二電極と、前記半導体基板内に結晶欠陥を有する半導体装置において、前記結晶欠陥は複数に分割されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記複数に分割された結晶欠陥は、前記第一導電型の領域と前記第二導電型の領域との界面から前記半導体基板の少数キャリアの拡散長離れた位置までの範囲内に中心を持つことを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記複数に分割された結晶欠陥は、前記半導体基板内の前記第一導電型の領域と前記第二導電型の領域との界面と実質的に平行な方向に間隙なく段差を有して形成されていることを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、前記分割された結晶欠陥の間の領域に、前記第一及び第二の電極間の主電流経路を有することを特徴とする半導体装置。

【請求項5】 請求項1記載の半導体装置において、前記複数に分割された結晶欠陥の中心間の距離は、前記半導体基板の少数キャリアの拡散長の2倍以内の距離であることを特徴とする半導体装置。

【請求項6】 請求項1または記載の半導体装置において、前記結晶欠陥は $H^+$ 、 $^2D^+$ 、 $^3He^{2+}$ 、 $^4He^{2+}$ 、 $e^-$ 、 $Pt^+$ 、 $Au^+$ のうちいずれかのイオンを照射する事によって形成されていることを特徴とする半導体装置。

【請求項7】 第一導電型の半導体基板の所定の領域内に第二導電型の領域を形成する工程と、前記第一導電型の半導体基板内に、前記第一導電型の半導体基板と前記第二導電型の領域の界面から前記半導体基板の少数キャリアの拡散長離れた位置までの範囲内に中心が存在するように複数の結晶欠陥を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、前記複数の結晶欠陥の中心間の距離は、前記半導体基板の少数キャリアの拡散長の2倍以内の距離で形成することを特徴とする半導体装置の製造方法。

【請求項9】 請求項7記載の半導体装置の製造方法において、前記複数の結晶欠陥は、前記半導体基板内の前記第一導電型の半導体基板と前記第二導電型の領域との界面と平行な方向に間隙なく段差を有して形成されることを特徴とする半導体装置。

【請求項10】 請求項7記載の半導体装置の製造方法において、

前記複数の結晶欠陥を形成する工程は、所定のイオンの照射エネルギーを変化させることにより行うことを特徴とする半導体装置の製造方法。

【請求項11】 請求項10記載の半導体装置の製造方法において、

前記照射エネルギーを変化させる手段は、前記所定のイオンの照射源と前記半導体基板との間に所定物質を介在させることにより行うことを特徴とする半導体装置の製造方法。

【請求項12】 請求項10記載の半導体装置の製造方法において、

前記照射エネルギーを変化させる手段は、前記所定物質の膜厚を変えることにより行うことを特徴とする半導体装置の製造方法。

【請求項13】 請求項12記載の半導体装置の製造方法において、

前記膜厚が異なる所定の物質は、 $Al$ 、 $Si$ 、 $SiO_2$ のうちいずれかの物質を用いて行うことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置とその製造方法、特に低ライフタイム層を有する高速スイッチング半導体装置とその製造方法に関する。

## 【0002】

【従来の技術】ダイオード等のスイッチング用半導体素子では、順方向から逆方向へ電圧を切り替えたとき、電圧が順方向のときに蓄積された過剰少数キャリアの消滅に一定の時間がかかる。この過剰少数キャリアはスイッチング用素子の高速化の障害となっており、少数キャリアを短時間で消滅させるため、デバイス中に金や白金を熱拡散してライフタイムを短縮したり、電子線や中性子線を照射して、結晶欠陥を形成し再結合中心として作用させること等により、過剰少数キャリアのライフタイムの短縮化を図っている。

【0003】この技術は、本発明者らにより特開平4-252078号公報に報告されている。この技術は、半導体基板中にプロトンが停止する際に、この停止位置付近に高準位密度の格子欠陥が生じるため、これを低ライフタイム層として利用するものであり、素子内の特定の部分に低ライフタイム層を形成するための結晶欠陥を局在化させ形成するものである。

【0004】また、より狭い幅を持つ結晶欠陥の局在化を可能とすると共に、荷電粒子照射後、高温、長時間の熱処理を必要としないプロセスにより、従来のプロトン照射、電子線照射等に比べオン抵抗及びスイッチング速度が共に向上する技術が、本発明者らにより特開平5-102161号公報に報告されている。この技術は従来

3

用いられていたプロトンを照射する代わりに、ヘリウムイオン<sup>3</sup> He<sup>2+</sup>を照射するものであり、プロトンの照射に比べ高準位密度の結晶欠陥を形成することができる。

【0005】しかしながら、いづれの低ライフタイム層の形成においても、結晶欠陥は素子の基板面に対し平行な方向に一元的に形成されている。よって素子内の一方の電極から他方の電極へ流れる電流の電流路を遮って、結晶欠陥及び低ライフタイム層が存在することとなる。このため素子の基板間に流れる電流は結晶欠陥が形成されている部分を常に通過することとなる。結晶欠陥は電流路として考えた場合、その抵抗が高いため、素子のオン抵抗が上昇することとなる。例え、低ライフタイム層を形成するための結晶欠陥の形成位置を変えたとしても、素子の内部に一元的に形成されている場合は、基板間に流れる電流が結晶欠陥内を常に流れることとなるので、オン抵抗が上昇することとなる。

【0006】またPN接合近くに結晶欠陥を形成し、素子に逆バイアスを印加したとき、PN接合より広がる空乏層が結晶欠陥の領域内にも広がり、結晶欠陥内にも大きな電界がかかることとなる。この結晶欠陥に電界がかかると、この結晶欠陥がキャリアの発生中心となり、逆バイアス時にリーク電流が増加する原因となる。これを防ぐために、結晶欠陥をPN接合より遠ざけて形成すると少数キャリアが拡散する距離内で、これを捕獲することができずスイッチング速度が低下し、低ライフタイム層を形成する効果がなくなる。このように結晶欠陥の形成位置を決定するには、明確な指標がなく経験的な数値により決定されていた。

【0007】

【発明が解決しようとする課題】上記のように従来の低ライフタイム層の形成においては、低ライフタイム層を形成するための結晶欠陥が素子の電流路を遮って形成されているために、オン抵抗が上昇するという問題点と、低ライフタイム層の形成位置を明確な指標なく経験的な数値によりしか決定していなかったために、結晶欠陥を最適な位置に形成することが困難であった。

【0008】本発明においては、上記の問題点を解決するために低ライフタイム層を形成するための結晶欠陥が、素子の基板間に流れる電流の電流路を遮ることのない様に形成し、従来の製造方法によって製造されたものよりもオン抵抗を減少させることを目的とする。また、結晶欠陥の形成はその形成位置を経験的な数値によらず、その原理的な面から検討し、ある指標を示しこれにより低ライフタイム層を形成するための結晶欠陥を形成することを目的とする。

【0009】

【課題を解決するための手段】上記の目的を達成するために本発明においては、結晶欠陥を幾つかに分割し、それぞれの形成位置を素子の縦方向に対し差を持たせて形成することにより、電流路が結晶欠陥内を通過すること

4

がなく確保され、素子のオン抵抗が上昇することを防ぐ。またこの結晶欠陥の形成位置は、少数キャリアが低ライフタイム層内に注入されることによって発生する再結合電流を抑制するために、少数キャリアが拡散し消滅するまでの距離である、少数キャリアの拡散長という概念を取り入れ、結晶欠陥をPN接合の界面から少数キャリアの拡散長以内の位置に形成し、少数キャリアをそのライフタイム内に捕獲し、スイッチング速度を向上とリーク電流を低減させる。

10 【0010】

【作用】本発明によれば、結晶欠陥を分割し縦方向の距離に差を持たせて形成することにより、素子内に結晶欠陥を通過することのない電流路が確保されるために、素子のオン抵抗が低減される。また、結晶欠陥をPN接合界面より少数キャリアの拡散長離して形成することにより、スイッチング速度の向上とリーク電流の低減が実現できる。

【0011】

【実施例】本発明の実施例について図面を参照して説明する。まず図1(a)に示すように、N型シリコン半導体基板11を用意する。この半導体基板11は比抵抗50Ωm、厚さ400μm、またフォトルミネッセンス法の測定結果によれば、少数キャリアの拡散長は約70μmである。この半導体基板11表面上に、膜厚1000オングストロームのシリコン酸化膜12をCVD法により形成する。次にこのシリコン酸化膜12上にフォトレジストを形成し、これをパターニングする事により不純物を注入するためのレジストマスク13を形成する。

【0012】続いて図1(b)に示すように半導体基板11内にP型不純物領域を形成するために、Bを加速エネルギー70keV、ドーズ量 $1 \times 10^{15}$  atoms/cm<sup>2</sup>で注入する。次に1150℃、4時間のアニールを行い、注入された不純物を活性化させる。この結果、Bより形成されるP型不純物領域21は、半導体基板11の表面より深さ10μmの領域まで形成される。次にフォトレジストを剥離し、膜厚1μmのAl膜を酸化膜12表面上に形成し、これをエッチングする事により表面電極22を形成する。次に半導体基板11の裏面にも膜厚9000オングストロームのAl膜を成膜し、裏面電極23を形成する。

【0013】続いて、素子内に低ライフタイム層を形成するために結晶欠陥を形成する。結晶欠陥は素子内の電流路が結晶欠陥に遮られることのないように、従来電極に対し平行に一元的に形成されていたものを、3つに分割し電極からの距離に差を持たせることにより、結晶欠陥が遮ることのない電流路を形成する。またこの結晶欠陥の形成位置は、少数キャリアが低ライフタイム層内に注入されることによって発生する再結合電流を抑制するために、PN接合界面より拡散する少数キャリアが、消滅するまでの距離である、少数キャリアの拡散長以内に

結晶欠陥を形成する。

【0014】よって図1(c)に示すように、低ライフタイム層32を形成するための結晶欠陥31の形成は、 $^3\text{He}^{2+}$ の照射を膜厚に差がある金属板33を介して行い、この金属板により照射エネルギーを変化させ、結晶欠陥の形成位置を変化させる。低ライフタイム層32は、結晶欠陥31の中心より上下方向へそれぞれ70 $\mu\text{m}$ の幅を持って形成される。よって低ライフタイム層32を素子内に隙間なく形成するためには、結晶欠陥31は上下の方向で、最大140 $\mu\text{m}$ 離して形成すると一定

の効果をj得ることができる。しかし上記の理由により結晶欠陥31はPN接合界面より、少数キャリアの拡散長である70 $\mu\text{m}$ 以内の範囲に形成する必要がある。また電流路を結晶欠陥によって遮られることのないように、結晶欠陥31を分割し、それぞれの結晶欠陥31で半導体基板11表面からの距離に差を持つように形成する。

【0015】よって本実施例においては、結晶欠陥31の形成はその中心がPN接合界面より最大離れているもので70 $\mu\text{m}$ 、またPN接合に最も近いものでその中心がPN接合界面より34 $\mu\text{m}$ として形成する。以上の位置は、低ライフタイム層の効果が最も期待できる位置であり、リーク電流の低減とスイッチング速度の向上を実現するための最適の位置とされる。

【0016】この結晶欠陥31と低ライフタイム層32の形成位置を説明する断面図を図2(a)に示す。図示するように素子内には結晶欠陥31が幅3 $\mu\text{m}$ でそれぞれ中心の位置がPN接合界面からの距離が34 $\mu\text{m}$ 、70 $\mu\text{m}$ 離れた位置に形成され、また低ライフタイム層32はPN接合界面より形成される。

【0017】また結晶欠陥31を所望の位置に形成するためには、金属板33の膜厚や寸法と $^3\text{He}^{2+}$ のドーズ量及び加速エネルギーを決定する必要がある。本実施例の場合、ドーズ量 $1 \times 10^{12} \text{ atoms} \cdot \text{cm}^{-2}$ 、加速エネルギー24 MeVで行う。また金属板33の膜厚は図2(b)に示すように、膜厚が厚い部分で285 $\mu\text{m}$ 、膜厚が薄い部分で243 $\mu\text{m}$ のAl板を用いて行う。

【0018】結晶欠陥を形成するためには、例えばプロトンによっても実施が可能である。この場合、ドーズ量 $7 \times 10^{12} \text{ atoms} \cdot \text{cm}^{-2}$ 、加速エネルギー4.5 MeVで行う。また金属板の膜厚は図2(c)に示すように、膜厚が厚い部分で125 $\mu\text{m}$ 、膜厚が薄い部分で96 $\mu\text{m}$ のAl板を用いて行う。プロトンの照射によってできる結晶欠陥の幅は15 $\mu\text{m}$ であり $^3\text{He}^{2+}$ での幅に比べ、局在化させて形成するのは困難であるが、ある程度の効果が期待できる。

【0019】上記実施例においては $^3\text{He}^{2+}$ の例について示したがこの他、 $\text{H}^+$ 、 $^2\text{D}^+$ 、 $^4\text{He}^{2+}$ 、 $\text{e}^-$ 、 $\text{Pt}^+$ 、 $\text{Au}^+$ の各イオンによっても実施が可能である。これらのイオンによれば結晶欠陥の幅をある程度まで短縮

させることができ、またその濃度を高準位とすることができるので、よって効率的な低ライフタイム層の形成が可能となる。

【0020】またAl板による金属板の他、Siや $\text{SiO}_2$ の各物質によっても照射粒子の加速エネルギーを変化させることができ実施が可能である。さらにはこれらの物質を用いず部分的にイオンを照射し、その照射位置と加速エネルギー及びドーズ量を変化させることによって、結晶欠陥を形成することも可能である。

【0021】続いて本発明の実施例の効果を示す、スイッチング速度とオン電圧の特性図を、図3に示す。ここでオン電圧はオン抵抗と比例関係であるものとする。図中の従来の構造による特性とは、結晶欠陥をPN接合界面よりその中心位置を少数キャリアの拡散長である70 $\mu\text{m}$ 離して形成したものであり、この結晶欠陥は素子の電極に平行して一元的に形成された場合の特性である。図示するように、本実施例における特性が、従来のものよりスイッチング速度、オン電圧(オン抵抗)ともに上回っており、特性が大幅に改善されていることが分かる。

【0022】本発明の目的は、素子内に形成する結晶欠陥に遮られることのない電流路の確保と、少数キャリアの拡散長以内の範囲で結晶欠陥を形成し低ライフタイム層を形成することであり、結晶欠陥の形成位置は上記実施例の他に、結晶欠陥をさらに細かく分割し、その形成位置を交互に形成したり、或いは本実施例とは逆に中央の結晶欠陥を、PN接合界面より最も離して形成するなどの形態がある。これらを説明するための断面図を図4(a)から(c)に示す。図中の41は結晶欠陥、42は低ライフタイム層である。これらいつれの形態によっても同程度の効果を得ることができる。

【0023】

【発明の効果】本発明によれば、素子内に結晶欠陥を通過することのない電流路が確保されるために、素子のオン抵抗が低減される。また、結晶欠陥をPN接合界面より少数キャリアの拡散長離して形成することにより、スイッチング速度の向上とリーク電流の低減が実現でき、さらなる素子の特性の向上が実現できる。

【図面の簡単な説明】

【図1】本発明の実施例の製造工程を説明する断面図。

【図2】本発明の実施例を説明する断面図。

【図3】本実施例のスイッチング速度とオン電圧の特性図。

【図4】本発明の他の実施例を説明する断面図。

【符号の説明】

- 11 N型シリコン半導体基板
- 12 シリコン酸化膜
- 13 レジストマスク
- 21 P型不純物領域
- 22 表面電極

(5)

特開平7-297414

7

8

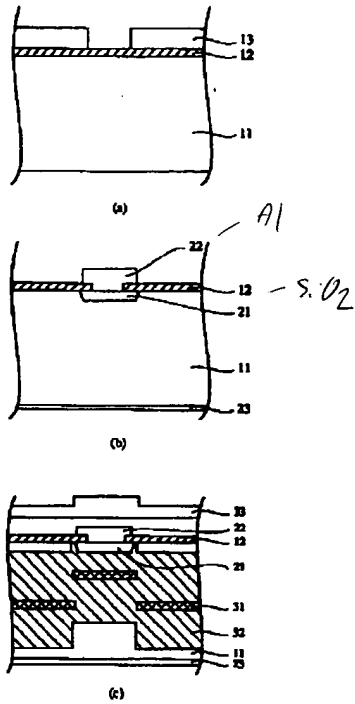
23 裏面電極

32、42 低ライフタイム層

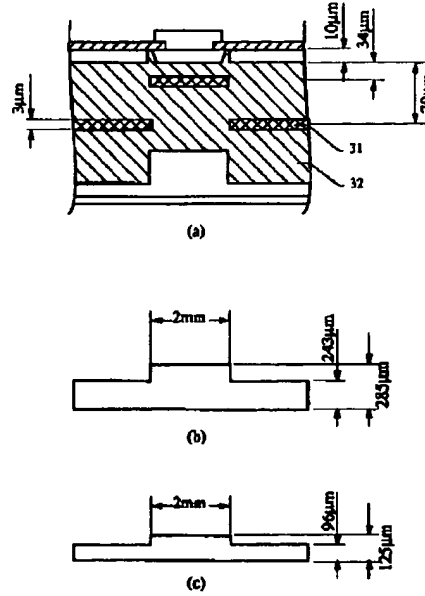
31、41 結晶欠陥

33 金属板

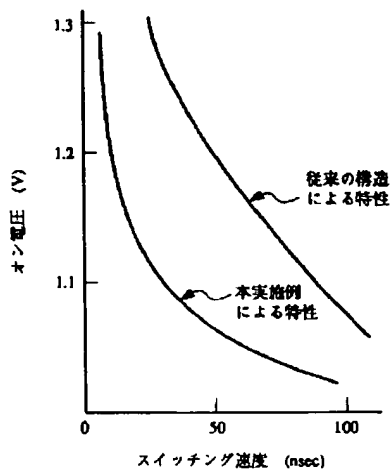
【図1】



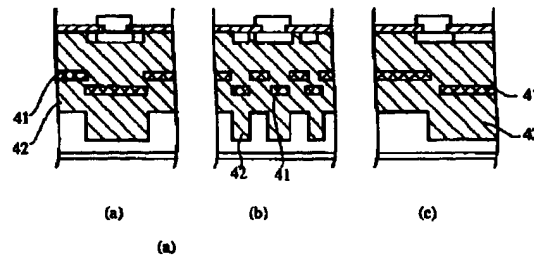
【図2】



【図3】



【図4】



DOCUMENT-IDENTIFIER: JP 07297414 A  
TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

FPAR:

PURPOSE: To secure a current passage which does not pass through crystal defects in an element by dividing the crystal defects so that a difference can be obtained in vertical distance.

FPAR:

CONSTITUTION: Crystal defects 31 are formed at an He $\times 2$  dosing amount of  $1 \times 10^{12}$  atoms/cm $^2$  and acceleration energy of 24MeV by using an aluminum plate having a thickness of 285 $\mu$ m at its thicker part and 243 $\mu$ m at its thinner part. As a results, crystal defects 31 having widths of 3 $\mu$ m are formed in an element at distances 34 $\mu$ m and 70 $\mu$ m, respectively, from the interface of a P-N junction and a layer 32 having a shorter life time is formed from the interface of the P-N junction. Since the layer 32 can exercise its effect at this position, the leak currents can be reduced and a current passage which does not pass through the crystal defects can be secured in the element.